



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0010346  
Application Number

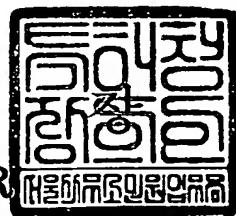
출 원 년 월 일 : 2003년 02월 19일  
Date of Application FEB 19, 2003

출 원 인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 22 일

특 허 청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.02.19
【발명의 명칭】	반도체소자의 제조방법
【발명의 영문명칭】	Method for fabricating semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	진승우
【성명의 영문표기】	JIN, Seung Woo
【주민등록번호】	670503-1167526
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대사원아파트 107동 105호
【국적】	KR
【발명자】	
【성명의 국문표기】	김봉수
【성명의 영문표기】	KIM, Bong Soo
【주민등록번호】	721101-1037529
【우편번호】	143-222
【주소】	서울특별시 광진구 쟁곡동 50-36
【국적】	KR
【발명자】	
【성명의 국문표기】	조호진
【성명의 영문표기】	CHO, Ho Jin
【주민등록번호】	681122-1094636

【우편번호】 463-020  
【주소】 경기도 성남시 분당구 이매동 141 아름마을 풍림아파트 502동  
304호  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의  
한 출원심사 를 청구합니다. 대리인  
강성배 (인)  
【수수료】  
【기본출원료】 15 면 29,000 원  
【가산출원료】 0 면 0 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 15 항 589,000 원  
【합계】 618,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체소자의 제조방법에 관한 것으로, 반도체기판상에 게이트라인을 형성하는 단계; 상기 게이트라인을 포함한 결과물의 전면에 버퍼층 및 스페이서질화막을 형성한 후 상기 버퍼층 및 스페이서질화막을 상기 게이트라인의 양측에 잔류시키는 단계; 상기 잔류하는 버퍼층 및 스페이서질화막을 배리어막으로 하여 이온주입함으로써 상기 게이트라인의 양측 반도체기판내에 접합영역을 형성하는 단계; 상기 결과물의 전체상부에 층간절연막을 형성하는 단계; 상기 접합영역의 상면을 노출시키도록 상기 층간절연막을 선택적으로 제거하여 콘택홀을 형성하는 단계; 및 상기 콘택홀내에 콘택플러그를 형성하는 단계를 포함하여 구성된다.

**【대표도】**

도 1e

**【명세서】****【발명의 명칭】**

반도체소자의 제조방법{Method for fabricating semiconductor device}

**【도면의 간단한 설명】**

도 1a 내지 도 1e는 본 발명의 바람직한 실시예에 따른 반도체소자의 제조방법을 도시한 공정별 단면도.

도 2는 종래기술과 본 발명에 따른 반도체소자의 제조방법을 적용한 경우의 GIDL 누설전류를 비교한 그래프.

(도면의 주요부분에 대한 부호설명)

100 : 반도체기판    110 : 게이트라인

120 : 산화막    130 : LDD영역

140 : 베퍼산화막    150 : 스페이서질화막

160 : 스페이서산화막    170a, 170b : 접합영역

180 : 층간절연막    190a : 비트라인콘택플러그

190b : 스토리지노드 콘택플러그

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 반도체소자의 제조방법에 관한 것으로, 보다 상세하게는 반도체소자의 단채널 효과와 리프레쉬 특성을 개선시킬 수 있는 반도체소자의 제조방법에 관한 것이다.
- <11> 종래의 반도체소자 제조방법을 살펴보면, 먼저 셀영역과 주변영역으로 정의된 실리콘기판상에 게이트라인을 형성한 후 상기 결과물의 전체상부에 산화공정을 수행하여 산화막을 형성한다. 그 다음, 이온주입공정에 의해 상기 게이트라인의 양측 실리콘기판내에 LDD(Lightly Doped Drain)영역을 형성한 후 버퍼 산화막과 질화막을 얇게 증착한다. 이어서, 이온주입공정에 의해 상기 게이트라인의 양측 실리콘기판내에 N형 접합영역을 형성한 후 게이트라인과 플러그사이에 스페이스를 확보하기 위해 스페이서 질화막을 증착한다.
- <12> 또한, 셀 영역의 전류를 증가시키기 위해 플러그용 폴리실리콘층을 증착하여 플러그를 형성한 후 고온의 RTA(Rapid Thermal Annealing)공정을 수행하고 있다.

**【발명이 이루고자 하는 기술적 과제】**

- <13> 이러한 종래기술에서는 반도체소자가 미세화됨에 따라 게이트라인과 N형 접합영역사이의 스페이스가 감소하여 소오스영역과 드레인영역사이의 단채널마진이 부족하게 되는 문제점이 있다.
- <14> 또한, RTA공정으로 인한 외확산효과에 의해 채널영역과 접합영역사이의 경사효과(Gradual effect)가 줄어들어 전기장이 커지게 되고 이에 따라 GIDL(Gate Induced Drain

Leakage) 누설전류가 증가하여 리프레쉬특성을 저하시키고, 프로브 테스트에서 LtRAS 실패율을 증가시켜 수율을 저하시키는 문제점이 있다.

<15> 따라서, 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 버퍼산화막과 스페이서질화막을 한번에 두겹게 형성하고, 상기 버퍼산화막과 스페이서질화막을 버퍼층으로 이용하여 접합영역을 형성한 후 바로 RTA공정을 수행함으로써, RTA공정으로 인한 플리그용 폴리실리콘층으로 부터의 외확산을 최소화하여 단채널효과를 개선할 수 있으며, 게이트라인과 접합영역의 도핑 프로파일을 완만하게 형성하여 리프레쉬 특성을 향상시킬 수 있는 반도체소자의 제조방법을 제공함에 그 목적이 있다.

### 【발명의 구성 및 작용】

<16> 상기 목적을 달성하기 위한 본 발명은, 반도체기판상에 게이트라인을 형성하는 단계; 상기 게이트라인을 포함한 결과물의 전면에 버퍼층 및 스페이서질화막을 형성한 후 상기 버퍼층 및 스페이서질화막을 상기 게이트라인의 양측에 잔류시키는 단계; 상기 잔류하는 버퍼층 및 스페이서질화막을 배리어막으로 하여 이온주입함으로써 상기 게이트라인의 양측 반도체기판내에 접합영역을 형성하는 단계; 상기 결과물의 전체상부에 층간절연막을 형성하는 단계; 상기 접합영역의 상면을 노출시키도록 상기 층간절연막을 선택적으로 제거하여 콘택홀을 형성하는 단계; 및 상기 콘택홀내에 콘택플러그를 형성하는 단계를 포함하여 구성됨을 특징으로 한다.

<17> (실시예)

<18> 이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.

- <19> 도 1a 내지 도 1e는 본 발명의 바람직한 실시예에 따른 반도체소자의 제조방법을 도시한 공정별 단면도이다.
- <20> 먼저, 도 1a에 도시된 바와 같이, 셀영역(A) 및 주변영역(B)으로 정의된 반도체기판 (100)상에 게이트라인(110)을 형성한 후, 게이트 식각공정으로 인한 손상을 치유하기 위한 산화공정을 수행하여 게이트라인(110)을 포함한 결과물의 전면에 산화막(120)을 형성한다.
- <21> 그 다음, 상기 셀 영역(A)과 주변 영역(B)에 불순물을 이온주입하여 상기 게이트라인(110)의 양측 반도체기판(100)내에 각각 LDD(Lightly Doped Drain)영역(130)을 형성한다.
- <22> 이어서, 도 1b에 도시된 바와 같이, 상기 산화막(120)의 전면에 후속의 이온주입시 버퍼층으로 이용하는 버퍼산화막(140)과 스페이서 질화막(150)을 연속적으로 한번에 증착한 후 스페이서 산화막(160)을 형성한다.
- <23> 이때, 상기 스페이서질화막(150)은 90Å 이상의 두께로 두껍게 증착하여 후속의 접합영역 형성을 위한 이온주입공정을 진행함으로써 게이트와 접합영역간의 스페이스 확보가 용이하다.
- <24> 여기서, 상기 버퍼층은 산화막과 질화막의 적층형태, 산화막의 단일층 또는 질화막의 단일층 형태로 형성할 수 있다.
- <25> 그 다음, 도 1c에 도시된 바와 같이, 상기 주변영역(B)을 노출시키는 포토레지스트(미도시)를 마스크로서 도포한 후, 식각공정에 의해 상기 주변영역(B)의 스페이서 산화막(160)은 식각제거하고 상기 버퍼 산화막(140)과 상기 스페이서 질화막(150)은 선택적으로 식각하여 상기 게이트라인(110)의 양측벽에 잔류시킨다.
- <26> 여기서, 상기 배리어막은 산화막과 질화막의 적층형태, 산화막의 단일층 또는 질화막의 단일층 형태로 형성할 수 있다.

- <27> 이어서, 상기 게이트라인(110)의 양측벽에 잔류하는 상기 버퍼 산화막(140)과 상기 스페이서 질화막(150)을 배리어막으로 하여 불순물을 이온주입함으로써, 상기 주변영역(B)의 반도체기판(100)내에 N+형 접합영역 또는 P+형 접합영역(170a)을 형성한 후 상기 포토레지스트를 제거한다.
- <28> 이때, 상기 이온주입시 0 내지 30°각도의 틸트 및 2 내지 4회 횟수의 회전을 이용하여 수행하거나 또는 소정 각도의 틸트 없이 한번에 수행할 수 있다.
- <29> 그 다음, 도 1d에 도시된 바와 같이, 상기 셀영역(A)을 노출시키는 포토레지스트(미도시)를 마스크로서 도포한 후, 상기 셀 영역(A)의 스페이서 산화막(160)을 습식식각하여 제거한다.
- <30> 그 다음, 버퍼 산화막(140)과 스페이서 질화막(150)을 배리어막으로 하여 불순물을 이온주입함으로써, 상기 셀 영역(A)의 반도체기판(100)내에 N형 접합영역(170b)을 형성한 후 상기 포토레지스트를 제거한다.
- <31> 여기서, 상기 배리어막은 산화막과 질화막의 적층형태, 산화막의 단일층 또는 질화막의 단일층 형태로 형성할 수 있다.
- <32> 이때, 상기 이온주입시 0 내지 30°각도의 틸트 및 2 내지 4회 횟수의 회전을 이용하여 수행하거나 또는 소정 각도의 틸트 없이 한번에 수행할 수 있다.
- <33> 그 다음, 상기 결과물의 전체상부에 RTA(Rapid Thermal Annealing)공정을 수행하여 상기 접합영역(170a)(170b)을 활성화시킨다.

- <34> 이어서, 도 1e에 도시된 바와 같이, 상기 결과물의 전체상부를 매립하도록 층간절연막(180)을 증착한 후, 상기 층간절연막(180)내에 비트라인 콘택홀(미도시)과 스토리지노드 콘택홀(미도시)을 형성한다.
- <35> 이와 달리, 상기 층간절연막(180)을 증착한 후에 상기 RTA공정을 수행하여 그 순서를 바꾸어 수행함으로써, 상기 접합영역(170a)(170b)을 활성화시키거나 상기 층간절연막(180)의 보이드까지도 제거할 수 있다.
- <36> 또한, 상기 층간절연막(180)을 증착하고나서 이를 리플로우하기 위한 퍼니스 열공정을 수행한 후에 상기 RTA공정을 수행함으로써, 상기 접합영역(170a)(170b)을 활성화시키거나 상기 층간절연막(180)의 보이드까지도 제거할 수 있다.
- <37> 그 다음, 상기 콘택홀 형성을 위한 식각시 발생하는 상기 접합영역의 도판트 손실을 보상하기 위한 이온주입공정을 추가로 수행할 수 있다.
- <38> 이어서, 상기 결과물의 전체상부에 플러그용 폴리실리콘층을 형성한 후 이를 평탄화하여 상기 콘택홀내에 콘택플러그(190)를 형성한다.
- <39> 이때, 상기 콘택플러그(190)를 형성하기 전에 고온의 RTA공정을 수행하고, 상기 콘택플러그(190)를 형성한 후에는 저온의 RTA공정을 수행하여 셀 영역의 전류를 극대화시킬 수 있다.
- <40> 이후의 공정은 종래와 동일하므로 그 설명은 생략한다.
- <41> 한편, 하기 표1, 2와 도 2는  $0.117\mu m$  기술에서 종래기술과 본 발명에 따른 반도체소자의 제조방법을 적용한 경우의 데이터와 GIDL 누설전류를 측정한 결과이다.
- <42> 도 2를 살펴보면, 본 발명에 따른 반도체소자의 제조방법을 적용한 경우 종래기술 보다 누설전류가 4배 정도 감소됨을 알 수 있다.

&lt;43&gt;

표 1. 제 1 실험결과

&lt;44&gt;

데이터 항목	종래기술	본 발명
1 셀 Vt	0.92 [V]	0.84 [V]
펀치 항복전압	5.85 [V]	7.10 [V]
어레이 셀 Vt	0.87 [V]	0.79 [V]
GIDL 항복전압	4.29 [V]	5.71 [V]
GIDL 누설전류	3.00E - 13 [A/셀]	3.00E - 15 [A/셀]

&lt;45&gt;

표 2. 제 2 실험결과

&lt;46&gt;

STEP	종래기술	본 발명
Vtsat_어레이 [V]	0.92V	0.81V
Idsat_F [ $\mu$ A/셀]	49 $\mu$ A	43 $\mu$ A
펀치 항복전압 [V; 10pA@-0.8V]	4.7V	5.4V
GIDL 항복전압 [V; 21nA@-0.8V]	4.4V	5.5V
셀 접합누설전류 [fA; 1.8V@-0.8V]	0.012fA	0.006fA
GIDL 누설전류 [fA; 4.0V@-0.8V]	212fA	2.4fA
HCD [mV, @Cum 50%]	50.1mV	6.2mV
HCD [mV, @Cum 95%]	163.7mV	29.6mV
Pause [ms, @1E-4%, 82°C, median]	98ms	169ms
YMC [ms, @1E-4%, 82°C, median]	111ms	186ms
tWR [ns, @1E-4%, 82°C, median]	9.0ns	7.5ns

&lt;47&gt;

표 2의 결과에서 보듯이 본 발명에 의한 방법 적용시 소오스/드레인간 펀치(punch) 특성은 향상되면서 리프레쉬 특성은 70ms 개선되며, 또한 셀 트랜지스터의 핫 캐리어 특성저하(Hot Carrier Degradation : HCD)문제를 134mV 개선시키는 결과를 얻었다.

### 【발명의 효과】

&lt;48&gt;

상술한 바와 같이, 본 발명은 고온의 RTA공정으로 인해 유발되는 플러그용 폴리실리콘층으로 부터의 외확산을 최소화하여 단채널효과를 개선할 수 있다는 효과가 있다.

&lt;49&gt;

또한, 게이트와 N형 접합영역의 도핑 프로파일을 완만하게 형성하여 리프레쉬 특성을 향상시킬 수 있으며, 셀 트랜지스터 핫 캐리어 특성저하문제를 개선시킬 수 있다는 효과가 있다.

<50> 또한, GIDL누설전류는 4배 정도 개선시킬 수 있으며, GIDL항복전압은 1.5V 만큼 개선시킬 수 있다는 효과가 있다. 이로 인해 리프레쉬 특성은 70ms 이상 개선되며, 추가로 tWR (셀 트랜지스터 라이트마진)특성도 1.5ms 개선시키는 효과가 있다. 이는 본 발명에 의한 방법 적용 시 셀 접합농도가 종래 보다도 높음에 따른 결과이다.

<51> 한편, 본 발명은 상술한 특정의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

**【특허청구범위】****【청구항 1】**

반도체기판상에 게이트라인을 형성하는 단계;

상기 게이트라인을 포함한 결과물의 전면에 버퍼층 및 스페이서질화막을 형성한 후 상기 버퍼층 및 스페이서질화막을 상기 게이트라인의 양측에 잔류시키는 단계;  
상기 잔류하는 버퍼층 및 스페이서질화막을 배리어막으로 하여 이온주입함으로써 상기 게이트라인의 양측 반도체기판내에 접합영역을 형성하는 단계;

상기 결과물의 전체상부에 층간절연막을 형성하는 단계;

상기 접합영역의 상면을 노출시키도록 상기 층간절연막을 선택적으로 제거하여 콘택홀을 형성하는 단계; 및

상기 콘택홀내에 콘택플러그를 형성하는 단계를 포함하여 구성된 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 2】**

제 1 항에 있어서, 상기 층간절연막을 형성하기 전에 상기 접합영역을 포함한 결과물의 전체상부에 급속 열어닐링공정을 수행하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 3】**

제 2 항에 있어서, 상기 버퍼층은 산화막과 질화막의 적층형태, 산화막의 단일층 또는 질화막의 단일층 형태인 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 4】**

제 2 항에 있어서, 상기 스페이서질화막은 90Å 이상의 두께로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 5】**

제 2 항에 있어서, 상기 이온주입은 소정 각도의 틸트와 소정 횟수의 회전을 이용하여 수행하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 6】**

제 5 항에 있어서, 상기 틸트 각도는 0 내지 30°이고, 상기 회전 횟수는 2 내지 4회인 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 7】**

제 2 항에 있어서, 상기 이온주입은 틸트각도 없이 한번에 수행하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 8】**

제 1 항에 있어서, 상기 층간절연막의 형성공정 이후에 급속 열어닐링공정을 수행하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 9】**

제 1 항에 있어서, 상기 층간절연막의 형성공정 이후에 상기 층간절연막의 리플로우 어닐링공정과 급속 열어닐링공정을 수행하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 10】**

제 1 항에 있어서, 상기 콘택플러그를 형성하기 전에 고온의 급속 열어닐링공정을 수행하고, 상기 콘택플러그를 형성한 후에 저온의 급속 열어닐링공정을 수행하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 11】**

제 8 항, 제 9 항 또는 제 10 항 중 어느 한 항에 있어서, 상기 버퍼층은 산화막과 질화막의 적층형태, 산화막의 단일층 또는 질화막의 단일층 형태인 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 12】**

제 8 항, 제 9 항 또는 제 10 항 중 어느 한 항에 있어서, 상기 스페이서질화막은  $90\text{ \AA}$  이상의 두께로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 13】**

제 8 항, 제 9 항 또는 제 10 항 중 어느 한 항에 있어서, 상기 이온주입은 소정 각도의 텀트와 소정 횟수의 회전을 이용하여 수행하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 14】**

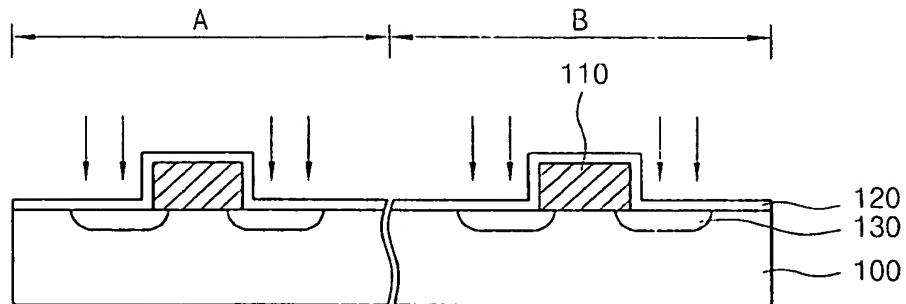
제 13 항에 있어서, 상기 텀트 각도는 0 내지  $30^\circ$ 이고, 상기 회전 횟수는 2 내지 4회인 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 15】**

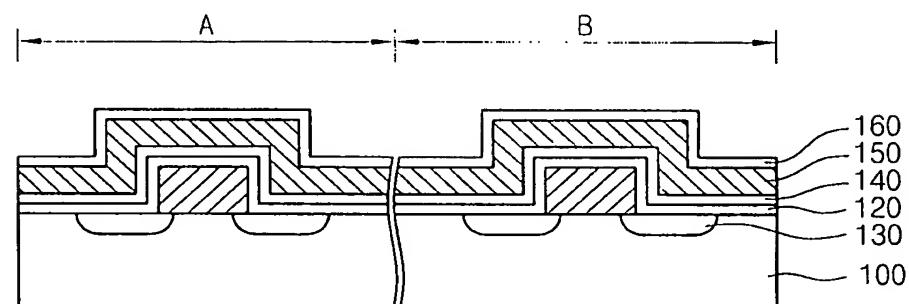
제 8 항, 제 9 항 또는 제 10 항 중 어느 한 항에 있어서, 상기 이온주입은 텀트각도 없이 한번에 수행하는 것을 특징으로 하는 반도체소자의 제조방법.

## 【도면】

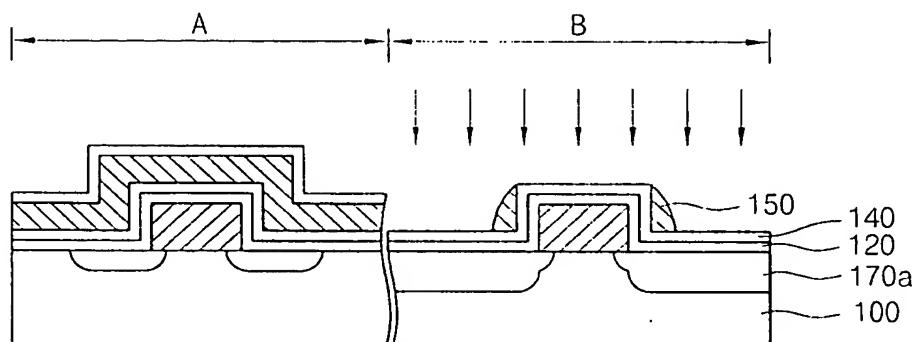
【도 1a】



【도 1b】



【도 1c】

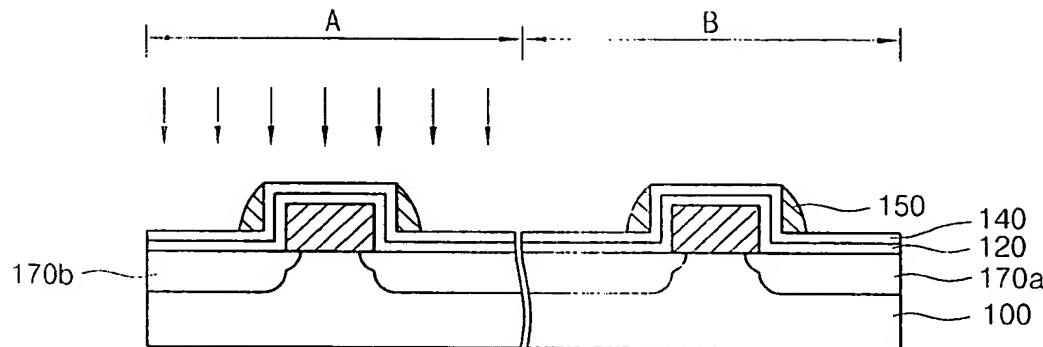




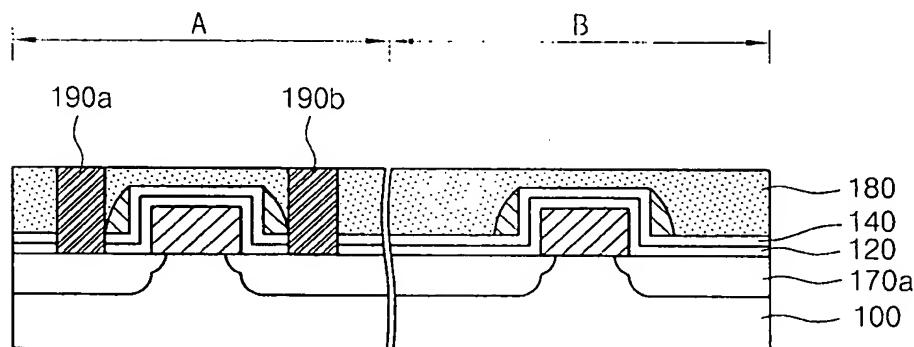
1020030010346

출력 일자: 2003/10/23

【도 1d】



【도 1e】



【도 2】

